

6

**(19) Japanese Patent Office (JP)**

**(12) Official Gazette For Kokai Patent Applications (A)**

**(11) Japanese Patent Application Publication Kokai No. S63 (1988)-142445**

**(43) Publication Date:** June 14, 1988

<b>(51) Int. Cl.<sup>4</sup></b>	<b>ID Symbol</b>	<b>JPO File No.</b>
G 06 F 12/04		A-6711-5B
12/00	304	F-6711-5B
12/02		N-6711-5B

Number of inventions: 1

Request for examination filed: Filed

(Total of 6 pages)

**(54) Title of the Invention:** Memory Device

**(21) Application Filing No.** S61 (1986)-288740

**(22) Application Filing Date:** December 5, 1986

**(72) Inventor:** Yasushi Taguchi

c/o Mitsubishi Electric Corporation, Information Electronics Laboratory  
5-1-1 Ōfuna, Kamakura-shi, Kanagawa-ken

**(72) Inventor:** Hiroshi Murata

c/o Mitsubishi Electric Corporation, Information Electronics Laboratory  
5-1-1 Ōfuna, Kamakura-shi, Kanagawa-ken

**(71) Applicant:** Director of the Agency of Industrial Science & Technology

1-3-1 Kasumigaseki, Chiyoda-ku, Tokyo

## Specification

### 1. Title of the Invention

#### Memory Device

### 2. Claims:

In a memory device consisting of: memory cells that hold data, memory address registers corresponding to these memory cells, data registers and a memory control device, wherein the starting address and the length of the data to be accessed is given, thereby successively accessing data of the stipulated length;

a memory device comprising:

\* a block length register that holds the length of a single data group,  
means of decrementing the value of this register by 1 and detecting when it reaches 0 or less,

an incremental address register that holds the address interval between each of the single data groups,

means of selecting 1 or the value of said incremental address register at the time of generation of the memory address, and adding it to said memory address register,

a data length register that holds the entire length of the data to be accessed,

means of selecting 1 or the value of said incremental address register, and subtracting it from the value of this register, thereby calculating the length of the remainder of the data to be accessed,

means of detecting when the value of said data length register has reached 0 or less, and  
a flag that indicates block access mode;

characterized in that: at each address interval in the memory cells indicated by said incremental address register, block access of data of the length specified by said block length register is performed successively until the value of said data length register becomes 0 or less.

### 3. Detailed Description of the Invention

#### [Technical Field of the Invention]

This invention relates to a memory device wherein a plurality of data groups, or namely blocks, disposed at constant address intervals within a memory region can be accessed successively.

#### [Prior Art]

Fig. 6 is a block diagram of an example of a conventional memory device presented in *Denshi Keisanki/Shisutemu to Kikō [Electronic Computers/System and Mechanism]* (by I. Flores, translation supervision by Hideo Aiso, published by Shinyosha Co.). In the figure, (1) indicates memory cells, (2) is a memory address register that indicates which position in the memory cells

(1) is to be accessed, (3) is a memory data register that holds data read from the memory cells (1) at the position specified by the memory address register (2), and (4) is a memory control device that controls reading and writing with respect to the memory cells (1), memory address register (2) and memory data register (3).

Fig. 5 shows a block diagram of a memory device consisting of the memory device shown in this Fig. 6 to which is added a function whereby a memory cell group of a certain stipulated length is accessed successively. In the figure, (5) is a selector which selects the starting address of the access or the output of the adder (6) to generate the input to the memory address register. (6) is an adder that adds 1 to the content of the memory address register (2) to calculate the memory address to be accessed next. (7) is a selector which selects the length of the data to be accessed or the output of the subtracter (9) to generate the input to the data length register (8). (8) is a data length register that holds the length of the remaining data after the data currently being accessed. (9) is a subtracter that subtracts 1 from the content of the data length register (8) to calculate the length of the remaining data to be accessed. (10) is a comparator that detects when the content of the data length register (8) has become 0 or less, and reports to the memory control device (4) that all data access is complete.

Here follows a description of the operation of the memory device of Fig. 5.

Here we describe an example of accessing data in the memory cells (1) shown in Fig. 4. Fig. 4 shows four pieces of data  $M_0$ ,  $M_1$ ,  $M_2$  and  $M_3$  starting from the address A, and the access (reading) operation for these includes the following steps.

#### (Step 1)

Address A is set in the memory address register (2) via selector (5). In addition, the data length (4 in this example) is set in the data length register (8) via selector (7).

#### (Step 2)

One piece of data is read from the position in the memory cells (1) specified by the memory address register (2) and this is set in the data register (3). The content set in this register (3) is sent to another [unit], for example, a central processing unit.

#### (Step 3)

The output of the adder (6) is selected via the selector (5) and set in the memory address register (2). Here, 1 is added to the current content of the memory address register (2) to set the address of the next piece of data in the memory address register (2). In addition, the selector (7) selects the output of the subtracter (9) and sets it in the data length register (8). Here, a value found by subtracting 1 from the current content of the data length register (8) is set in the data length register (8). At this time, the comparator (10) checks the content of the data length register (8) to determine whether or not it is 0 or less.

If this value is 0 or less, then this means that the reading of all data is complete. Conversely if it is greater than 0, there is still data to be accessed so control returns to Step 2 in order to perform the reading of the next data.

### **[Problem that the Invention is Intended to Solve]**

In the conventional memory device shown in Fig. 5, in the case of attempting to access the data within the memory cells (1) shown in Fig. 3 in the order  $M_0, M_1, M_2, M_3$ , for example, it is necessary to set the address in the memory address register (2) twice for A and A+4, and the setting of the data length register (8) must also be performed twice, so there is a problem in that the memory access speed is reduced.

This invention was made in order to solve the aforementioned problems and its object is to obtain a memory device that is able to access the data in the memory cells (1) such as in Fig. 3 successively in the manner  $M_0, M_1, M_2, M_3$ .

### **[Means of Solving the Problem]**

In the memory device according to this invention, a block length register that holds the length of a block, an incremental address register that holds the address interval between each of the blocks, a data length register that holds the entire length of the data to be accessed, and the like are provided, so as shown in Fig. 3, by setting the values of the block length 2, incremental address 3, data length 6 and starting address A once each, it is possible to access data successively in the manner  $M_0, M_1, M_2, M_3$ .

### **[Operation]**

In the memory device according to this invention, at the time that block access mode is specified, data of the length specified in the block length register is accessed successively and at the end of this access, data of the length specified in the block length register is again accessed successively from the address position found by increasing the address at the end of the previous access by the value held in the incremental address register. This operation continues until the value of the data length register becomes 0 or less.

### **[Embodiment of the Invention]**

Here follows a description of an embodiment of the present invention made with reference to the drawings.

Fig. 1 is a block diagram of the memory device according to this invention, where (1) through (10) are identical to the same components in the conventional device shown in Fig. 6 and Fig. 5. In the figure, (11) is a selector which selects a preset block length or the output of the subtracter (13) and generates the input to the block length register (12). (12) is a block length register which holds the remaining length of data to be accessed within the block. (13) is a subtracter that subtracts 1 from the content of the block length register (12) to calculate the remaining length of data to be accessed within the block. (14) is a comparator that checks the content of the block length register (12) to determine whether or not it is 0 or less, and thereby detects when the accessing of all data within the block has been complete. (15) is an incremental address register that holds an incremental address. (16) is a selector that selects +1 during the access of data within a block, but selects the content of the incremental address register (15) upon the end of access to one block's worth of data. (17) is a selector that selects +1 during the access of data within a block, but selects the content of the incremental address register (15) upon the end of access to one block's worth of data. Here, the subtracter (9) subtracts 1 from the content

of the data length register (8) during the access of data within a block but subtracts the value of the incremental address register (15) from the value of the data length register (8) upon the end of access to one block's worth of data. (18) is an AND gate that, when the block access mode flag (19) is set, transmits the output of comparator (14) to each of the selectors (11), (16) and (17). (19) is a block access mode flag that sets block-unit access operation.

Here follows a description of the operation of the memory device according to this invention when constituted as shown in Fig. 1. The memory read operation is executed according to the following steps.

**(Step 1)**

The block access mode flag (19) is set to 1, specifying that access is to be performed in block units. Address A is set in the memory address register (2) via selector (5), the data length is set in the data length register (8) via selector (17), the block length is set in the block length register (12) via selector (11), and the incremental address is set in the incremental address register (15).

**(Step 2)**

One piece of data is read from the position in the memory cell's (1) specified by the memory address register (2) and this is set in the data register (3). The content set in this register (3) is sent to another [unit], for example, a central processing unit.

**(Step 3)**

The output of the adder (6) is selected via the selector (5) and set in the memory address register (2). To wit, the output (+1) of selector (16) is added to the content of the memory address register (2) to set the address of the next piece of data in the memory address register (2). In addition, the selector (7) selects the output of the subtracter (9) and sets it in the data length register (8). To wit, the output (+1) of selector (17) is subtracted from the current content of the data length register (8) and the length of the remaining data to be accessed is set in the data length register (8). At this time, the comparator (10) checks the content of the data length register (8) to determine whether or not it is 0 or less. If this value is 0 or less, then this means that the reading of all data is complete so block data access terminates. Next, the output of the subtracter (13) is selected via selector (11) and set in the block length register (12). To wit, +1 is subtracted from the content of the block length register (12) and the length of the remaining data to be accessed within the current block is set in the block length register (12).

At this time, the comparator (14) checks the content of the block length register (12) to determine whether or not it is 0 or less. If this value is 0 or less, this means that the reading of all data within one block is complete, so go to the next step, Step 4. If not 0 or less, return to Step 2.

**(Step 4)**

When the reading of one block of data is complete, the output of the comparator (14) becomes the selection signal to selectors (11), (16) and (17) through AND gate (18). To wit, the block length is selected with selector (11) and the block length is set again in the block length register (12), the incremental address register is selected with selector (16) and the value of the incremental address register (15) is added to the memory address register (2). In addition, the

output of the incremental address register (15) is selected with selector (17), and the content of the incremental address register (15) is subtracted from the value of the data length register (8). Next, jump to Step 2.

Now as an example of actual operation, when the memory device shown in Fig. 1 accesses data in the memory cells (1) shown in Fig. 3, Fig. 2 shows the changes in the states of the various registers.

In this case, the operation is as follows.

<Initialization ... time  $t_0$ >

The value A is set in the memory address register (2), the value 6 is set in the data length register (8), the value 2 is set in the block length register (12) and the value 3 is set in the incremental address register (15).

<Reading of data  $M_0$  ... time  $t_1$ >

The data  $M_0$  is read from the position in the memory cells (1) specified by the content A of the memory address register (2) and set in the data register (3). When this reading is complete, the value found by subtracting 1 from the current block length data is not 0 or less, and the value found by subtracting the output of selector (17) (+1 in this case) from the current data length register is also not 0 or less, so the memory address register (2) is set to the value A+1 found by adding the output of selector (16) (+1 in this case) to [its current] value. The block length register (12) and data length register (8) are set to values 1 less than their current values, namely the values 1 and 5, respectively.

<Reading of data  $M_1$  ... time  $t_2$ >

The data  $M_1$  is read from the position in the memory cells (1) specified by the content A+1 of the memory address register (2) and set in the data register (3). When this reading is complete, the value found by subtracting 1 from the current block length register (12) becomes 0 or less, so the output of the comparator (14) is distributed through the AND gate (18) as a selection signal to the selectors (11), (16) and (17). Selector (11) selects the block length and the value 2 is again set in the block length register (12). Selector (16) selects the value 3 of the incremental address register (15) and the value A+4 found by adding the incremental address 3 to the value A+1 of the current memory address register (2) is set in the memory address register (2). Selector (17) selects the output value 3 of the incremental address register (15) and the value 2 found by subtracting 3 from the value 5 of the current data length register (8) is set in the data length register (8). Then the comparator (14) detects the fact that the value of the data length register (8) is not 0 or less, so the reading of the next [piece of] data is performed.

<Reading of data  $M_2$  ... time  $t_3$ >

The data  $M_2$  is read from the position in the memory cells (1) specified by the content A+4 of the memory address register (2) and set in the data register (3). When this reading is complete, the value found by subtracting 1 from the current block length register (12) is not 0 or less, and the value found by subtracting the output of selector (17) (+1 in this case) from the current data length register (8) is also not 0 or less, so the value A+5 found by adding the output of selector (16) (+1 in this case) to the value of the current memory address register (2) is set in

the memory address register (2). The block length register (12) and data length register (8) are set to values 1 less than their current values, namely the values 1 and 1, respectively.

<Reading of data  $M_3$  ... time  $t_4$ >

The data  $M_3$  is read from the position in the memory cells (1) specified by the content  $A+5$  of the memory address register (2) and set in the data register (3). When this reading is complete, the value found by subtracting 1 from the current block length register (12) becomes 0 or less, so the output of the comparator (14) is supplied through the AND gate as a selection signal to the selectors (11), (16) and (17). Selector (17) selects the output value 3 of the incremental address register (15) and the value -2 found by subtracting 3 from the value 1 of the data length register (8) is set. Then the comparator (10) detects the fact that this value of is 0 or less, so the reading of all block data is ended.

Note that in the aforementioned embodiment, the read operation in the memory device was described but the same applies to the case of the write operation.

In addition, a memory device wherein a one-dimensional address is given was described, but it also applies to the case of two-dimensional memory wherein access is performed by giving row and column addresses.

Moreover, in the aforementioned embodiment, the case of accessing data in specific memory cells is explained, but the exact same meritorious effects are obtained when the block length, value of the incremental address, length of all data and the like take any other values.

#### [Meritorious Effects of the Invention]

As described above, by means of this invention, in the case in which continuous data groups of a fixed length are disposed a predetermined distance apart within memory, the constitution is made such that the length of one data group, distance between the various data groups, length of the entire data and the the starting data address can set once and then [the data] can be accessed continuously and successively, so it has the meritorious effect in that access to data in the memory device can be performed at high speed.

#### 4. Brief Explanation of the Drawings

Fig. 1 is a block diagram of the memory device according to one embodiment of this invention. Fig. 2 is an explanatory diagram that shows the values of various registers at the time that a data sequence in memory cells of Fig. 3 are accessed in the memory device of Fig. 1. Figs. 3 and 4 are explanatory diagrams showing one example of data in the memory cells that are accessed. Figs. 5 and 6 are block diagrams showing one example of a conventional memory device.

In the figures, (8) is a data length register, (11) is a selector, (12) is a block length register, (13) is a subtracter, (14) is a comparator, (15) is an incremental address register, (16) is a selector, (17) is an selector, (18) is an AND gate and (19) is a block access mode flag.

Note that in the figures, identical symbols indicate identical or equivalent components.

Patent Applicant

Kōzō Iizuka, Director of the Agency of Industrial Science & Technology

**Fig. 1**

**[Key]**

1. Memory cells
2. Memory address register  
Set address
3. Memory data register  
Set data
4. Memory control device  
Read/write  
End
5. Selector  
Address  
Start
6. Adder
7. Selector  
Data length
8. Data length register  
Set data length
11. Selector  
Block length
12. Block length register  
Set block length
15. Incremental address register  
Incremental address  
Set incremental address
16. Selector
17. Selector
18. AND gate
19. Block access mode flag
  
- 11: Selector



- 12: Block length register
- 13: Subtractor
- 14: Comparator
- 15: Incremental address register
- 16: Selector
- 17: Selector
- 18: AND gate
- 19: Block access mode flag

Fig. 2

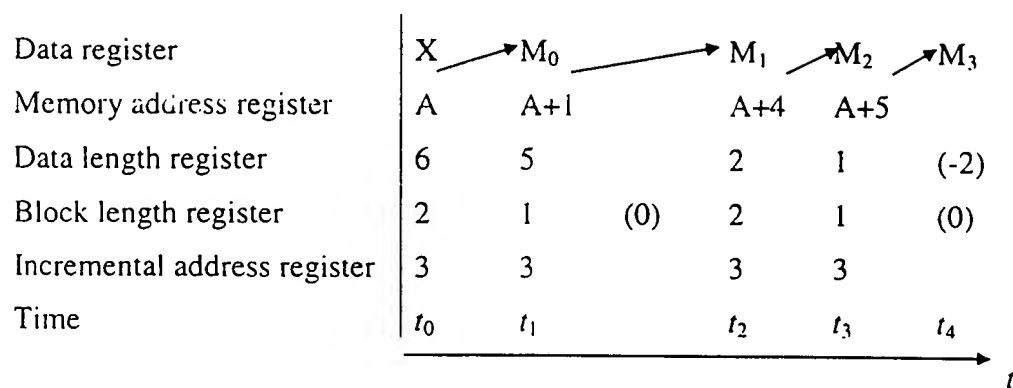


Fig. 3

[Key]

Incremental address 3  
Memory addresses A+5  
Memory data M3  
Block length 2  
Data length 6  
Block length 2  
Memory cells 1

Fig. 4

[Key]

Memory addresses	A+3
Memory data	M3
Data length	4
Memory cells	i

**Fig. 5**

[Key]

2. Memory address register  
Set address
3. Memory data register  
Set data
4. Memory control device  
Read/write  
End
5. Selector  
Address  
Start
7. Selector  
Data length
8. Data length register  
Set data length

**Fig. 6**

[Key]

1. Memory cells
2. Memory address register  
Address  
Set address
3. Memory data register  
Data  
Set data

4. Memory control device  
Read/write  
Start  
End

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-142445

⑬ Int.Cl.<sup>4</sup>

G 06 F 12/04  
12/00  
12/02

識別記号

3 0 4

庁内整理番号

A-6711-5B  
F-6711-5B  
N-6711-5B

⑭ 公開 昭和63年(1988)6月14日

審査請求 有 発明の数 1 (全6頁)

⑮ 発明の名称 メモリ装置

⑯ 特 願 昭61-288740

⑰ 出 願 昭61(1986)12月5日

⑱ 発 明 者 田 口 泰 志 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社情報電子研究所内  
⑲ 発 明 者 村 田 裕 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社情報電子研究所内  
⑳ 出 願 人 工業技術院長 東京都千代田区霞が関1丁目3番1号

明 細 書

1. 発明の名称

メモリ装置

2. 特許請求の範囲

データを保持するメモリセル、このメモリセルに対応するメモリアドレスレジスタ、データレジスタ及びメモリ制御装置とから成り、アクセスを行なう先頭アドレスとデータ長とを与えて、決められた長さのデータを連続してアクセスするメモリ装置に於いて、1データ群の長さを保持するブロック長レジスタと、このレジスタの値を1ずつ減算し0以下になった事を検出する手段と、各1データ群間のアドレスの間隔を保持する増分アドレスレジスタと、メモリアドレスの生成時に前記増分アドレスレジスタの値又は1を選択して、前記メモリアドレスレジスタに加算する手段と、アクセスすべき全データ長を保持するデータ長レジスタと、このレジスタの値から前記増分アドレスレジスタの値又は1を選択して減算し、アクセスすべき残りのデータ長を計算する手段と、前記

データ長レジスタの値が0以下になった事を検出する手段と、ブロックアクセスモードを指示するフラグとを備え、メモリセルに対して、前記増分アドレスレジスタが示すアドレス間隔毎に、前記ブロック長レジスタで指定された長さのデータを、前記データ長レジスタの値が0以下になる迄、順次ブロックアクセスしていく事を特徴とするメモリ装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、メモリ領域内で或る一定アドレス間隔で複数個配列されたデータ群即ちブロックを、連続的にアクセスする事ができるメモリ装置に関するものである。

〔従来の技術〕

第1図は、例えば電子計算機/システムと機構(エ.フローレス著・相磯秀夫監訳・新曜社)に示された、従来のメモリ装置のブロック図である。図中(1)はメモリセルであり、(2)はメモリセル(1)のどの位置をアクセスするかを示すメモリアドレス

レジスタであり、(3)はメモリセル(1)のメモリアドレスレジスタ(2)で指定された位置より読出されたデータを保持するメモリデータレジスタであり、(4)は前記メモリセル(1)、メモリアドレスレジスタ(2)、およびメモリデータレジスタ(3)に対して、読出し又は書き込みを制御するメモリ制御装置である。

この第3図に示したメモリ装置において、或る決められた長さのメモリセル群を、連続的にアクセスする機能を付加したメモリ装置のブロック図を第5図に示す。図中(5)は選択器であり、アクセスの開始アドレス又は加算器(6)の出力を選択して、メモリアドレスレジスタへの入力を生ずる。(6)は加算器であり、メモリアドレスレジスタ(2)の内容に1を加えて、次にアクセスすべきメモリアドレスを計算する。(7)は選択器であり、アクセスを行うデータの長さ又は減算器(8)の出力を選択して、データ長レジスタ(9)への入力を生ずる。(9)はデータ長レジスタであり、現在アクセスしているデータ以降の残りのデータ長を保持する。(8)は減算

器レジスタ(3)へ設定する。このレジスタ(3)に設定された内容は他の、例えば中央処理装置へ転送される。

#### (ステップ3)

選択器(5)を介して、加算器(6)の出力を選びメモリアドレスレジスタ(2)へ設定する。ここでは、現メモリアドレスレジスタ(2)の内容に1を加算して、次のデータに対するアドレスをメモリアドレスレジスタ(2)へ設定する。又選択器(7)を介して、減算器(8)の出力を選び、データ長レジスタ(9)へ設定する。ここでは、現データ長レジスタ(9)の内容から1を減算した値を、データ長レジスタ(9)へ設定する。この時、比較器(10)は、データ長レジスタ(9)の内容が0以下であるか否かをチェックする。

この値が0以下であれば、全データの読出しを終了した事になる。逆に0より大きければ、アクセスすべきデータが未だ残っており、次のデータの読出しを行なう為に、ステップ2へと戻る。

#### [発明が解決しようとする問題点]

第5図に示した従来のメモリ装置では、例えば

第3図に示すメモリセル(1)の内容から1を減算して、アクセスすべき残りのデータ長を計算する。(10)は比較器であり、データ長レジスタ(9)の内容が0以下になった事を検出し、全データへのアクセスが終了した事をメモリ制御装置(4)へ通知する。

次に第5図のメモリ装置の動作について説明する。

ここでは第4図に示すメモリセル(1)上のデータにアクセスする例について説明する。第4図はアドレスAから始まる4個のデータM<sub>0</sub>, M<sub>1</sub>, M<sub>2</sub>, M<sub>3</sub>を示すものであり、これ等に対するアクセス(読出し)動作は、以下のステップを略む。

#### (ステップ1)

アドレスAを選択器(5)を介して、メモリアドレスレジスタ(2)へ設定する。又データ長(この例では4)を選択器(7)を介して、データ長レジスタ(9)へ設定する。

#### (ステップ2)

メモリアドレスレジスタ(2)が指定するメモリセル(1)の位置より、データを1個読出してこれをデ

第3図に示す様なメモリセル(1)内のデータを、M<sub>0</sub>, M<sub>1</sub>, M<sub>2</sub>, M<sub>3</sub>の順序でアクセスしようとする場合、メモリアドレスレジスタ(2)へのアドレス設定が、AとA+4の2回必要であり、又データ長レジスタ(9)への設定も2回必要とし、メモリアクセス速度が低下するという問題点があつた。

この発明は上記の様な問題点を解決する為に成されたもので、第3図に示す様なメモリセル(1)上のデータをM<sub>0</sub>, M<sub>1</sub>, M<sub>2</sub>, M<sub>3</sub>と連続的にアクセスする事ができるメモリ装置を得る事を目的とする。

#### [問題点を解決するための手段]

この発明によるメモリ装置では、ブロックの長さを保持するブロック長レジスタ、各ブロック間のアドレス間隔を保持する増分アドレスレジスタ、アクセスすべき全データ長を保持するデータ長レジスタ等を備え、第3図に示す如く例えばブロック長2、増分アドレス3、データ長4、及び初期アドレスAの値を各々1回設定する事に依り、データをM<sub>0</sub>, M<sub>1</sub>, M<sub>2</sub>, M<sub>3</sub>と連続してアクセスできる様にしたものである。

## 〔作用〕

この発明によるメモリ装置では、ブロックアクセスモード指定時、ブロック長レジスタで指定された長さのデータを連続してアクセスし、このアクセス終了時には、その終了時点のアドレスから増分アドレスレジスタに保持されている値だけ離れたアドレス位置から、再びブロック長レジスタで指定された長さのデータを、連続的にアクセスする様にしたものである。この動作は、データ長レジスタの値が0以下になる迄継続される。

## 〔発明の実施例〕

以下この発明の一実施例を、図について説明する。

第1図はこの発明によるメモリ装置のブロック図であり、(1)～(10)は第6、第5図に示した従来装置と同様のものである。図中(10)は選択器であり、予め設定したブロック長又は減算器(9)の出力を選択して、ブロック長レジスタ(12)への入力を生成する。(11)はブロック長レジスタであり、ブロック内のデータ中アクセスすべき残りのデータ長を保持する。

比較器(14)の出力が各選択器(10)(11)(13)へ伝達される。(15)はブロックアクセスモードフラグであり、ブロック単位のアクセス動作を指定する。

第1図の様に構成されたこの発明によるメモリ装置の動作について次に説明する。メモリの読出し動作は、以下のステップに従って実行される。

## (ステップ1)

ブロックアクセスモードフラグ(15)を1にセットして、ブロック単位のアクセスを行う事を指定する。アドレスAを選択器(10)を介してメモリアドレスレジスタ(12)へ、データ長を選択器(10)を介してデータ長レジスタ(11)へ、ブロック長を選択器(10)を介してブロック長レジスタ(12)へ、又増分アドレスを増分アドレスレジスタ(13)へと各々設定する。

## (ステップ2)

メモリアドレスレジスタ(12)が指定するメモリセル(1)の該当位置より、データを1個読出してデータレジスタ(13)へ設定する。このレジスタ(13)に設定された内容は、他の、例えば中央処理装置へ転送される。

(11)は減算器であり、ブロック長レジスタ(12)の内容から1を減じて、ブロック内でアクセスすべき残りのデータ長を計算する。(14)は比較器であり、ブロック長レジスタ(12)の内容が0以下になつた事をチェックし、1ブロック内の全データのアクセスが終了した事を検出する。(13)は増分アドレスレジスタであり、増分アドレスを保持する。(10)は選択器であり、ブロック内のデータにアクセス中は、+1を選択し、1ブロック分のデータのアクセスが終了すると、増分アドレスレジスタ(13)の内容を選択する。(11)は選択器であり、ブロック内のデータをアクセス中には+1を選択し、1ブロック分のデータのアクセスが終了すると、増分アドレスレジスタ(13)の内容を選択する。ここで減算器(9)は、1ブロック内のデータのアクセス中には、データ長レジスタ(11)の内容から1を減じていき、1ブロック分のデータのアクセスが終了すると、データ長レジスタ(11)の値から増分アドレスレジスタ(13)の値を減ずる。(14)はアンドゲートであり、ブロックアクセスモードフラグ(15)がセットされている時は、

## (ステップ3)

選択器(10)を介して、加算器(14)の出力を選択し、メモリアドレスレジスタ(12)へ設定する。即ち、現メモリアドレスレジスタ(12)の内容に、選択器(10)の出力(+1)を加算して、次のデータに対するアドレスをメモリアドレスレジスタ(12)へ設定する。又選択器(10)を介して、減算器(9)の出力を選択し、データ長レジスタ(11)へ設定する。即ち、現データ長レジスタ(11)の内容から選択器(10)の出力(+1)を減算して、アクセスすべき残りのデータの長さをデータ長レジスタ(11)へ設定する。この時、比較器(14)は、データ長レジスタ(11)の内容が0以下であるかをチェックする。もしこの値が0以下であれば、全てのデータの読出しを終了した事になり、ブロックデータアクセスを終結する。次に選択器(10)を介して、減算器(13)の出力を選択してブロック長レジスタ(12)へ設定する。即ちブロック長レジスタ(12)の内容から+1を減算して、現ブロック内でアクセスすべき残りのデータの長さを、ブロック長レジスタ(12)へ設定する。

この時、比較器14は、ブロック長レジスタ13の内容が0以下であるかをチェックする。この値が0以下であれば、1ブロック全体のデータの読出しを終了した事になり、次のステップ4へ行く。もし0以下でなければ、ステップ2へ戻る。(ステップ4)

1ブロック分のデータの読出しを終了した時、比較器14の出力は、アンドゲート18を通して選択器111010への選択信号となる。即ち選択器111010に対してはブロック長を選択する様にし、ブロック長レジスタ13へ再びブロック長を設定し、選択器110に対しては、増分アドレスレジスタを選択する様にし、メモリアドレスレジスタ12にその増分アドレスレジスタ15の値を加算する。又選択器111010に対しては、増分アドレスレジスタ15の出力を選択する様にし、データ長レジスタ18の値から、増分アドレスレジスタ15の内容を減算する。続いてステップ2へ飛ぶ。

さて実際の動作例として、第1図に示すメモリ装置が、第3図に示すメモリセル(1)上のデータを

<データM<sub>1</sub>の読出し……時刻t<sub>2</sub>>

メモリアドレスレジスタ12の内容A+1で指定されたメモリセル(1)上の該当位置からデータM<sub>1</sub>が読出され、データレジスタ19へ設定される。この読出し終了後、現ブロック長レジスタ13より1を減じた値が0以下となるので、比較器14の出力がアンドゲート18を通して選択器111010へ選択信号として分配される。選択器111010はブロック長を選択し、ブロック長レジスタ13へは値2が再設定され、選択器110は増分アドレスレジスタ15の値3を選択し、メモリアドレスレジスタ12へは、現メモリアドレスレジスタ12の値A+1に増分アドレス3を加えた値A+4が設定され、選択器111010は、増分アドレスレジスタ15の出力値3を選択し、データ長レジスタ18へは、現データ長レジスタ18の値5から3を引いた値2が設定される。そして比較器14は、データ長レジスタ18の値が0以下でない事を検出するので、次のデータの読出しを行う。

<データM<sub>2</sub>の読出し……時刻t<sub>3</sub>>

メモリアドレスレジスタ12の内容A+4で、指

アクセスする時、各レジスタの変化する状態を第2図に示す。

この場合の動作は以下の様になる。

<初期設定……時刻t<sub>0</sub>>

メモリアドレスレジスタ12へ値Aが設定され、データ長レジスタ18へ値1が設定され、ブロック長レジスタ13へ値2が設定され、増分アドレスレジスタ15へ値3が設定される。

<データM<sub>0</sub>の読出し……時刻t<sub>1</sub>>

メモリアドレスレジスタ12の内容Aで指定された、メモリセル(1)上の該当位置からデータM<sub>0</sub>が読出され、データレジスタ19へ設定される。この読出しが終了すると、現ブロック長データから1を減じた値は0以下ではなく、且つ現データ長レジスタ18から、選択器110の出力(この場合は+1)を減算した値も0以下ではないので、メモリアドレスレジスタ12の値には選択器110の出力(この場合は+1)を加算した値A+1が設定される。ブロック長レジスタ13とデータ長レジスタ18には、各々現在の値より1減じた値1と5が設定される。

定されたメモリセル(1)上の該当位置からデータM<sub>2</sub>が読出され、データレジスタ19へ設定される。この読出しが終了すると、現ブロック長レジスタ13より1を減じた値が0以下ではなく、且つ現データ長レジスタ18から、選択器110の出力(この場合は+1)を減算した値も0以下ではないので、メモリアドレスレジスタ12に、現メモリアドレスレジスタ12の値に選択器110の出力(この場合は+1)を加算した値A+5が設定される。又ブロック長レジスタ13とデータ長レジスタ18には、各々現在の値から1を引いた値1と1とが設定される。

<データM<sub>3</sub>の読出し……時刻t<sub>4</sub>>

メモリアドレスレジスタ12の内容A+5で指定されたメモリセル(1)上の該当位置から、データM<sub>3</sub>が読出され、データレジスタ19へ格納される。この読出しが終了すると、現ブロック長レジスタ13から1を減じた値が0以下となるので、比較器14の出力からアンドゲートを通して選択器111010へ選択信号を供給する。選択器111010は、増分アドレスレジスタ15の出力値3を選択し、データ長レジスタ18へは、現データ長レジスタ18の値5から3を引いた値2が設定される。そして比較器14は、データ長レジスタ18の値が0以下でない事を検出するので、次のデータの読出しを行う。

データの値より1を減じた値-1が設定される。そして比較器14は、この値が0以下である事を検出するので、全ブロックデータの既出しを完了する。

尚、上記実施例ではメモリ装置に対する既出し動作について説明したが、書き込み動作の場合も同様である。

又、メモリ装置としてアドレスを1個々見る一次元のものについて説明したが、行及び列アドレスを有してアクセスを行う二次元メモリの場合でも良い。

更に、上記実施例では、特定のメモリセル上のデータにアクセスする場合について説明したが、ブロックの長さ、増分アドレスの値、全データの長さ等は、他の任意の値であっても、全て同様の効果を得る。

#### 【発明の効果】

以上の様に、この発明によれば、メモリ内で一定長の連続したデータ群が、直る決まつた距離ずつ離れて配列されている場合、1データ群の長さ、各データ群間の距離、全データの長さ、及び先頭

データのアドレスを最初に1回指定するだけで順次連続的にアクセスできる様に構成したので、メモリ装置に対するデータのアクセスを高速に行える効果がある。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例によるメモリ装置のブロック図、第2図は第3図のメモリセル上のデータ例を、第1図のメモリ装置がアクセスする時の各レジスタの値を示す説明図、第4図及び第5図はアクセスするメモリセル上のデータの一例を示す説明図、第6図及び第7図は従来のメモリ装置の一例を示すブロック図である。

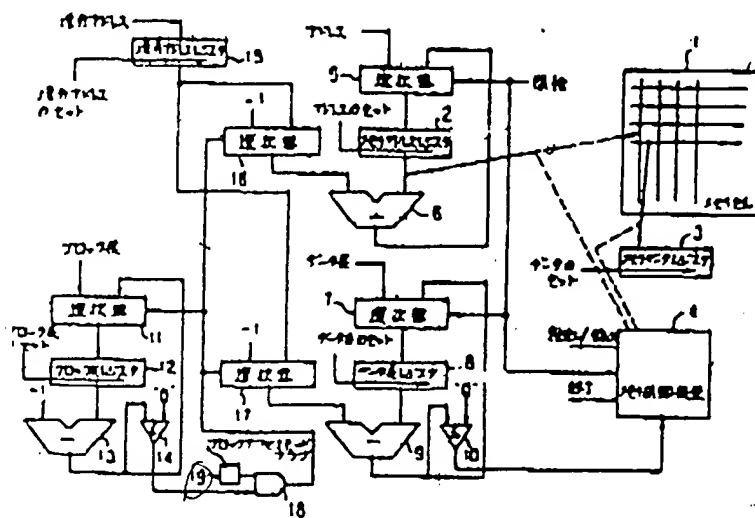
図中1はデータ長レジスタ、11は選択器、12はブロック長レジスタ、13は減算器、14は比較器、15は増分アドレスレジスタ、16は選択器、17は選択器、18はアンドゲート、19はブロックアクセスモードフラグである。

図中、同一符号は同一又は相当部分を示す。

特許出願人 工業技術院

成 豊 三

図 1 図



- 11: 選択器
- 12: ブロック長レジスタ
- 13: 減算器
- 14: 比較器
- 15: 増分アドレスレジスタ
- 16: 選択器
- 17: 選択器
- 18: アンドゲート
- 19: ブロックアクセスモードフラグ



